

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-162539
 (43)Date of publication of application : 08.06.1992

(51)Int.Cl. H01L 21/338
 H01L 29/812

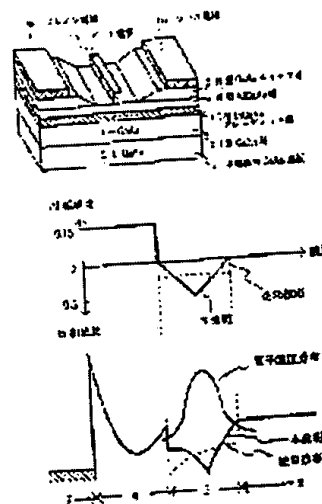
(21)Application number : 02-288811 (71)Applicant : NEC CORP
 (22)Date of filing : 25.10.1990 (72)Inventor : ANDO YUJI

(54) FIELD-EFFECT TRANSISTOR

(57)Abstract:

PURPOSE: To obtain a structure which restrains a drop in a critical film thickness with an increase in the lattice mismatching of an epitaxial layer structure for a 2DEGFET and which can increase an effective In composition by a method wherein the composition ratio of In in an InGaAs layer constituting an undoped channel layer is changed gradually in the thickness direction and takes a maximum value at a specific position.

CONSTITUTION: At a field-effect transistor, a buffer layer 2, an undoped channel layer 3 and an N-type electron supply layer are laminated sequentially on a semiinsulating semiconductor substrate 1. At the field-effect transistor, the undoped channel layer 3 is formed of an $\text{In}_2\text{Ga}_{1-x}\text{As}$ layer, the composition ratio (x) of In in the InGaAs layer is changed gradually in the thickness direction and takes a maximum value in a position which is at a distance of 40\AA ; or higher and of 110\AA ; or lower from the interface between the InGaAs layer and the N-type electron supply layer 4. For example, the composition ratio (x) of In in a channel layer 3 is increased gradually from 0 to a maximum value of 0.3 toward the interface to an AlGaAs layer 4 from the interface to a GaAs buffer layer 2. The (x) takes the maximum value of 0.3 in a position which is at a distance of 80\AA ; from the interface to the AlGaAs layer.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

Searching PAJ

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-162539

⑬ Int. Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)6月8日

H 01 L 21/338
29/812

7735-4M H 01 L 29/80

H

審査請求 未請求 請求項の数 3 (全8頁)

⑮ 発明の名称 電界効果トランジスタ

⑯ 特 願 平2-288811

⑰ 出 願 平2(1990)10月25日

⑱ 発 明 者 安 藤 裕 二 東京都港区芝5丁目7番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

電界効果トランジスタ

2. 特許請求の範囲

1. 半絶縁性半導体基板のうえにバッファ層、ノンドープチャネル層、N型電子供給層が順次積層された電界効果トランジスタにおいて、

前記ノンドープチャネル層が $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層であるとともに、該 InGaAs 層における In 組成比 x が厚さ方向に徐々に変化し、該 InGaAs 層の前記N型電子供給層との界面から40Å以上110Å以下離れた位置で最大値をとることを特徴とする電界効果トランジスタ。

2. ノンドープチャネル層が m 分子層の InAs 層と n 分子層の GaAs 層が交互に積層された超格子層であるとともに、該超格子層における InAs 層と GaAs 層の分子層数比率 m/n

は厚さ方向に徐々に変化し、該超格子層の前記電子供給層との界面から40Å以上110Å以下離れた位置で最大値をとる請求項1記載の電界効果トランジスタ。

3. ノンドープチャネル層が第一半導体層と第二半導体層が交互に積層された超格子層であるとともに、第一半導体層は $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層であり、その In 組成比 x は厚さ方向に徐々に変化し、前記超格子層の電子供給層との界面から40Å以上110Å以下離れた位置で最大値をとる請求項1記載の電界効果トランジスタ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は二次元電子ガス電界効果トランジスタ(2DEGFET)に関するものである。

〔従来の技術〕

2DEGFETは、例えばHendersonらによってエレクトロン・デバイス・レターズ・(IEEE Electron Device Lett.) 第EDL-7巻、第

12号、649頁、1986年に報告されている。

従来技術による2DEGFETについて、第7図の部分断面図、第8図(a)のN型AlGaAs層からノンドープGaAsバッファ層に向かうAl組成比およびIn組成比の分布図、第8図(b)のポテンシャルバンド図を参照して説明する。

半絶縁性(Semi-Insulating)GaAs基板にノンドープGaAs層バッファ層2、ノンドープIn_{0.15}Ga_{0.85}Asチャンネル層3c、N型Al_{0.15}Ga_{0.85}As層キャリア供給層4から構成されている。

InGaAs層3cのAlGaAs層4との界面近傍に二次元電子ガス(2DEG)が誘起されチャンネルを形成している。AlGaAs層4上にN型GaAsからなるキャップ層5が形成され、キャップ層5上にソース電極6aおよびドレイン電極6bが蒸着により形成され2DEGチャンネルとのオーミックコンタクトをとっている。また、キャップ層5をエッチングして形成されたリセス部にはゲート電極7が形成されている。

このようにチャンネル層にInGaAsを用いる

向上を目的として、InGaAs歪層におけるIn組成を増やせば増やすほど、格子不整が増大し、臨界膜厚からくるチャンネル層厚の制限が厳しくなるというジレンマが生じる。

そのため2DEGFETにおけるInGaAsチャンネル層としては、通常In組成比が0.15、膜厚が臨界膜厚以下の150Å程度のものが用いられており、In組成比を増加することによるシート電子濃度の増加と電子輸送特性の向上を十分に発揮できないという問題があった。

本発明は2DEGFETのエピタキシャル層構造の格子不整の増加に伴う臨界膜厚の低下を強力抑制して、実効的なIn組成を増加し得るエピタキシャル層構造を提供することにある。

〔課題を解決するための手段〕

本発明の電界効果トランジスタは、バッファ層、ノンドープチャンネル層、N型不純物がドーパされた電子供給層が順次積層された電界効果トランジスタにおいて、

前記ノンドープチャンネル層がIn_{0.15}Ga_{0.85}As

効果はAlGaAs電子供給層とチャンネル層間の伝導帯オフセットの増加にともなうシート電子濃度の増加、および電子有効質量の減少にともなう電子移動度の増加が期待できることである。

〔発明が解決しようとする課題〕

InGaAsとGaAsとは格子定数が異なるが、In_{0.15}Ga_{0.85}Asチャンネル層をミスフィット転移の起こる臨界膜厚以下にすることによって、弾性歪が格子不整を緩和する歪格子層となり、良好な界面が形成されることが知られている。

ここでIn組成比xが大きくなるほど格子不整が増大するために、この臨界膜厚は減少する。In組成比を増やすにしたがって、ミスフィット転移の発生を抑えるために膜厚を薄くすると、量子井戸内のサブバンドエネルギーは膜厚の二乗に逆比例して上昇するため、電子濃度の低下、さらにはInGaAs井戸内へのキャリア閉じ込めの低下が起こり、InGaAsをチャンネルに用いるメリットがなくなってしまう。

すなわちシート電子濃度の増加と電子移動度の

層であるとともに、該InGaAs層におけるIn組成比xが厚さ方向に徐々に変化し、該InGaAs層の前記N型電子供給層との界面から40Å以上110Å以下離れた位置で最大値をとるものである。

またノンドープチャンネル層がm分子層のInAs層とn分子層のGaAs層が交互に積層された超格子層であるとともに、該超格子層におけるInAs層とGaAs層の分子層数比率m/nは厚さ方向に徐々に変化し、該超格子層の前記電子供給層との界面から40Å以上110Å以下離れた位置で最大値をとるものである。

さらにノンドープチャンネル層が第一半導体層と第二半導体層が交互に積層された超格子層であるとともに、第一半導体装置はIn_{0.15}Ga_{0.85}As層であり、そのIn組成比xは厚さ方向に徐々に変化し、前記超格子層の電子供給層との界面から40Å以上110Å以下離れた位置で最大値をとるものである。

〔作用〕

2DEGFET 造における2次元電子の分布確率は電子供給層・チャネル層間のヘテロ界面から約60～90Å程度でピークを有することが、F.SternとS.D.Sarmaによってフィジカル・レビュー・B(Phys.Rev.B)、第30巻、840頁～848頁、1984年に報告されている。

本発明では、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ チャネル層におけるIn組成比 x を膜厚方向に勾配をつけたグレーディッドとし、電子分布確率が最大となる位置近傍で x を最大とするとともに、電子分布確率の小さくなる電子供給層界面近傍およびバッファ層界面近傍では x を小さくする。

全体としては格子不整の増大を抑制しながら、電子の存在確率が高い位置でのIn組成比 x を増加することが可能になり、電子が突効的に走行する場所での x 値を通常用いられている上限値(～0.15)より大きくすることができる。

またチャネルとしてInAs層 m 分子層とGaAs層 n 分子層の積層構造からなる短周期超格子を用い、InAs層とGaAs層の比率 m/n を

InGaAsであってもよい。

〔実施例〕

本発明の第1の実施例について、第1図の部分断面図、第2図(a)のN型AlGaAs($y=0.15$)層4からノンドープGaAsバッファ層2に向う断面におけるAl組成比およびIn組成比の分布図、第2図(b)のポテンシャルバンド図を参照して説明する。

本実施例の特長は第2図(a)に示すように、GaAsバッファ層2との界面からAlGaAs層4との界面に向かうにつれて、チャネル層3におけるIn組成比 x が0から最大値0.3まで徐々に増加したあと0まで徐々に減少していることである。ここで、 x が最大値0.3をとるのはAlGaAs層界面から80Å離れた位置である。

第1図に示す構造はつぎのようにして作製される。

はじめに半絶縁性(S.I.)GaAs基板1上に分子線エピタキシャル(MBE)成長法などにより、厚さ1μmのノンドープGaAsバッファ

層厚方向にグレーディッドとし、電子分布が最大となる位置で m/n を最大とするとともに、電子供給層界面近傍およびバッファ層界面近傍では m/n を小さくすることによっても、同様な効果が期待できる。

通常InGaAs混晶ではIn原子とGa原子の配置のランダムさにとまって電子は格子から散乱(合金散乱)を受けるが、このように膜厚方向に制御された結晶構造を有する短周期超格子層をチャネルとして用いると、この合金散乱を低減して電子輸送特性が一層改善される。

さらにチャネルとして第一半導体層と第二半導体層が交互に積層された超格子を用い、第一半導体層をIn組成比 x が膜厚方向にグレーディッドである $\text{In}_x\text{Ga}_{1-x}\text{As}$ とし、電子分布確率が最大となる位置近傍で x を最大とするとともに、電子分布確率の小さくなる電子供給層界面近傍およびバッファ層界面近傍では x を小さくすることによっても、同様な効果が期待できる。ここで、第二半導体層は第一半導体層と組成比分布の異なる

層2で、厚さ160Åのノンドープ $\text{In}_x\text{Ga}_{1-x}\text{As}$ グレーディッド層($x=0 \rightarrow 0.3 \rightarrow 0$)3、厚さ350ÅのN型AlGaAs(ドーピング濃度 $3 \times 10^{18}/\text{cm}^3$)層4、厚さ500Åのn型GaAs(ドーピング濃度 $5 \times 10^{18}/\text{cm}^3$)層5を順次成長する。

ここでInGaAsチャネル層3における平均In組成比は0.15であり、合計膜厚の160Åは $\text{In}_{0.15}\text{Ga}_{0.85}\text{As}$ においてミスフィット転移の起こる臨界膜厚(～200Å)以下である。

N型GaAsキャップ層5上にはソース電極6aおよびドレイン電極6bを蒸着によって形成したのち、アロイ熱処理によってオーミックコンタクトをとる。

N型GaAs層5をエッチング除去して形成されたリセス部にはゲート電極7を形成する。

こうして、第2図(b)に示すように、InGaAs量子井戸層のほぼ中央部で2DEGの分布確率は最大値を取り、第2図(a)からこの位置はIn組成比が最大値0.3をとる場所に一致し、電

子は高い確率でIn組成比が0.15より大きい場所を走行することになる。

本実施例ではInの平均組成は0.15に固定したままで、電子の~~無効な~~実効的なIn組成比をそれ以上に増加できる。

本発明の第2の実施例について、第3図の部分断面図、第4図(a)のN型AlGaAs($y=0.15$)電子供給層4からノンドープGaAsバッファ層2に向かう断面におけるAl組成比およびIn組成比の分布図、第4図(b)のポテンシャルバンド図を参照して説明する。

本実施例の特長は第4図(a)に示すように、チャネルとしてInAs層m分子層とGaAs層n分子層の積層構造からなる短周期超格子層を用いていることである。InAs層とGaAs層の比率 m/n を膜厚方向にグレーディッドとし、GaAsバッファ層2との界面からAlGaAs層4との界面に向かうにつれて、 m/n が徐々に増加し、最大値をとったあと0まで徐々に減少している。ここで、 m/n が最大値をとるのはAl

ここで超格子チャネル層における平均In組成比は0.16であり、トータル膜厚の140ÅはIn_{0.16}Ga_{0.84}Asにおいてミスフィット転移の起こる臨界膜厚(〜200Å)以下である。

N型GaAsキャップ層5上にはソース電極6aおよびドレイン電極6bを蒸着によって形成したのち、アロイ処理によってオーミックコンタクトをとる。

N型GaAsキャップ層5をエッチング除去して形成されたリセス部にはゲート電極7を形成する。

第4図(b)に示すように、InAs/GaAs超格子層のはば中心で2DEGの分布確率は最大値をとる。

第4図(a)からこの位置は(InAs)_m(GaAs)_nにおける分子層数比 m/n が最大値をとる場所に一致し、電子はIn組成比が0.15より大きい場所を高い確率で走行することになる。このように、本実施例では、Inの平均組成は0.15程度に固定したままで、電子の実効的なIn組成

GaAs層界面から約70Å離れた位置である。

第3図に示す構造はつぎのようにして作製される。

はじめにS. I. GaAs基板1上にMBE成長法などにより、厚さ1μmのノンドープGaAs層2、10分子層のGaAs層3a、1分子層のInAs層3b、6分子層のGaAs層3a、1分子層のInAs層3b、3分子層のGaAs層3a、1分子層のInAs層3b、2分子層のGaAs層3a、1分子層のInAs層3b、2分子層のGaAs層3a、1分子層のInAs層3b、3分子層のGaAs層3a、1分子層のInAs層3b、6分子層のGaAs層3a、1分子層のInAs層3b、10分子層のGaAs層3a、1分子層のInAs層3b(あわせて厚さ約140ÅのInAs/GaAs超格子チャネル層)、厚さ350ÅのN型Al_{0.15}Ga_{0.85}As(ドーピング濃度 $3 \times 10^{18}/\text{cm}^3$)電子供給層4、厚さ500ÅのN型GaAs(ドーピング濃度 $5 \times 10^{18}/\text{cm}^3$)キャップ層5を順次成長する。

比をそれ以上に増加できる。

本発明の第3の実施例について、第5図の部分断面図、第6図(a)のN型AlGaAs($y=0.15$)電子供給層4からノンドープGaAsバッファ層2に向かう断面におけるAl組成比およびIn組成比の分布図、第6図(b)のポテンシャルバンド図を参照して説明する。

本実施例の特長は第6図(a)に示すように、チャネルとしてInGaAs単分子層とGaAs単分子層の積層構造からなる短周期超格子を用いていることである。In_xGa_{1-x}As層におけるIn組成比 x を膜厚方向にグレーディッドとし、GaAsバッファ層2との界面からAlGaAs層4との界面に向かうにつれて、 x が徐々に増加し、最大値をとったあと0まで徐々に減少している。ここで、 m/n が最大値をとるのはAlGaAs層界面から約70Å離れた位置である。

第5図に示す構造はつぎのようにして作製される。

はじめにS. I. GaAs基板1上にMBE成

長法などにより、厚さ $1\mu\text{m}$ のノンドープGaAsバッファ層2、1分子層の第1GaAs層3a、1分子層の第1InGaAs層($x=0.05$)3c、1分子層の第2GaAs層3a、1分子層の第2InGaAs($x=0.1$)層3c、1分子層の第iGaAs層3a、1分子層の第iInGaAs($x=0.05\times i$)層3c、1分子層の第12GaAs層3a、1分子層の第12InGaAs($x=0.6$)層3c、1分子層の第13GaAs層3a、1分子層の第13InGaAs($x=0.6$)層3c、1分子層の第jGaAs層3a、1分子層の第jInGaAs($x=0.05\times(25-j)$)層3c、1分子層の第23GaAs層3a、1分子層の第23InGaAs($x=0.1$)層3c、1分子層の第24GaAs層3a、1分子層の第24InGaAs($x=0.05$)層3c(あわせて厚さ約 140\AA のInGaAs/GaAs超格子チャネル層)、厚さ 350\AA のN型AlGaAs(ドーピング濃度 $3\times 10^{18}/\text{cm}^3$)電子供給層4、厚さ 500\AA のN型GaAs(ドー

ピング濃度 $5\times 10^{18}/\text{cm}^3$)キャップ層を順次成長する。

ここで超格子チャネル層における平均In組成比は0.16であり、トータル膜厚の 140\AA はIn_{0.16}Ga_{0.84}Asにおいてミスフィット転移の起こる臨界膜厚($\sim 200\text{\AA}$)以下である。

N型GaAsキャップ層5上にはソース電極6aおよびドレイン電極6bを蒸着によって形成したのち、フロイ処理によってオーミックコンタクトをとる。

N型GaAs層5をエッチング除去して形成されたリセス部にはゲート電極7を形成する。

第6図(b)に示すように、InGaAs-GaAs超格子層のほぼ中心で2DEGの分布確率は最大値をとる。

第4図(a)からこの位置はIn_{0.15}Ga_{0.85}AsにおけるIn組成比xが最大値をとる場所に一致し、電子はIn組成比0.15より大きい場所を高い確率で走行する。

本実施例ではInの平均組成は0.15程度に固

定したままで、電子の~~結晶~~実効的なIn組成比をそれ以上に増加できる。

以上で用いたAlGaAs/InGaAs系、AlGaAs/(InAs)_n(GaAs)_n超格子系、およびAlGaAs/(InGaAs)_n(GaAs)_n超格子系の代りに、InAlAs/GaAs系、InP/InGaAs系、InAlAs/(InAs)_n(GaAs)_n超格子系、InP/(InAs)_n(GaAs)_n超格子系、InAlAs/(In_{0.15}Ga_{0.85}As)_n(In_{0.15}Ga_{0.85}As)_n超格子系、InP/(In_{0.15}Ga_{0.85}As)_n(In_{0.15}Ga_{0.85}As)_n超格子系、InAlAs/(In_{0.15}Ga_{0.85}As)_n(In_{0.15}Al_{0.85}As)_n超格子系、InP/(In_{0.15}Ga_{0.85}As)_n(In_{0.15}Al_{0.85}As)_n超格子系^{など}、InGaAs、(InAs)_n(GaAs)_n超格子、またはInGaAs層を含む超格子をチャネルとして用いることもできる。

〔発明の効果〕

InGaAsチャネルにおける格子不整の増加

を極力抑制しながら、実効的なIn組成比を通常用いられる上限値(~ 0.15)よりも大きくすることが可能になった。

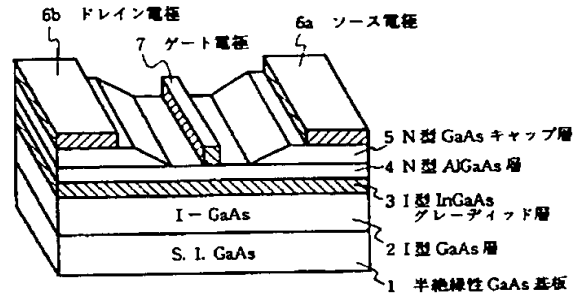
電子有効質量の軽減にともなう電子輸送特性の改善によってInGaAsチャネル2DEGFETの素子特性をより向上することができる。

4. 図面の簡単な説明

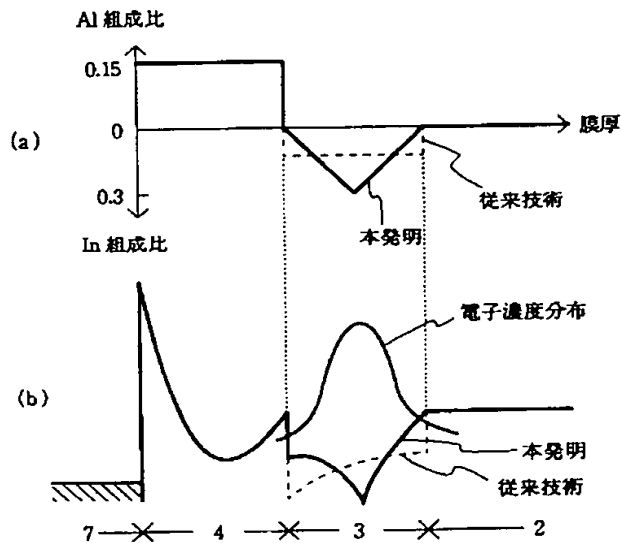
第1図は本発明の第1の実施例を示す部分断面図、第2図(a)は第1図の組成比を示す分布図、第2図(b)は第1図のポテンシャルバンド図、第3図は本発明の第2の実施例を示す部分断面図、第4図(a)は第3図の組成比を示す分布図、第4図(b)は第3図のポテンシャルバンド図、第5図は本発明の第3の実施例を示す部分断面図、第6図(a)は第5図の組成比を示す分布図、第6図(b)は第5図のポテンシャルバンド図、第7図は従来技術による2DEGFETを示す断面図、第8図(a)は第7図の組成比を示す分布図、第8図(b)は第7図のポテンシャルバンド図である。

1……半絶縁性GaAs基板、2……ノンドープGaAsバッファ層、3……ノンドープInGaAsグレーディッドチャネル層、3a……ノンドープGaAsチャネル層、3b……ノンドープInAsチャネル層、3c……ノンドープInGaAsチャネル層、4……N型AlGaAs電子供給層、5……N型GaAsキャップ層、6a……ソース電極、6b……ドレイン電極、7……ゲート電極。

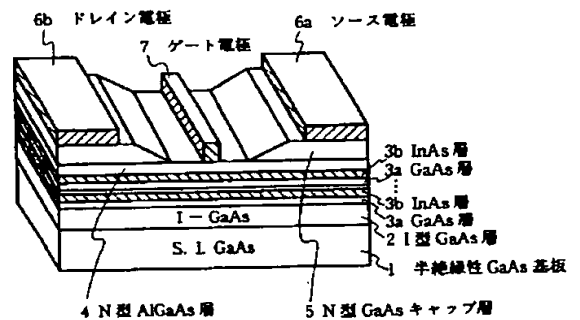
代理人 弁理士 内原 晋



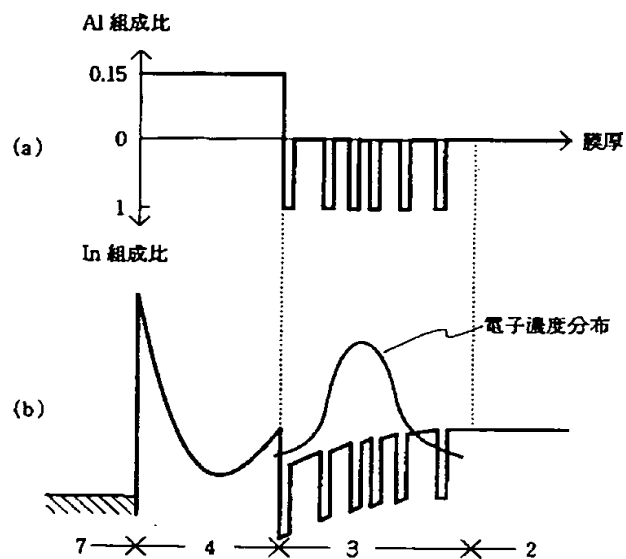
第1図



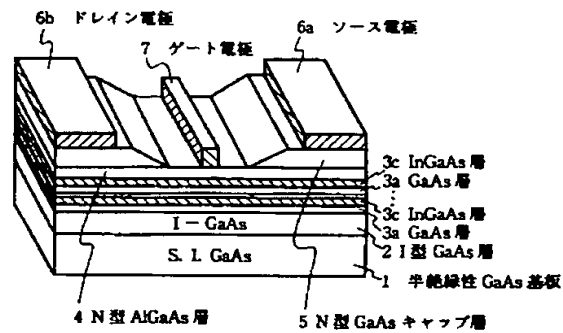
第2図



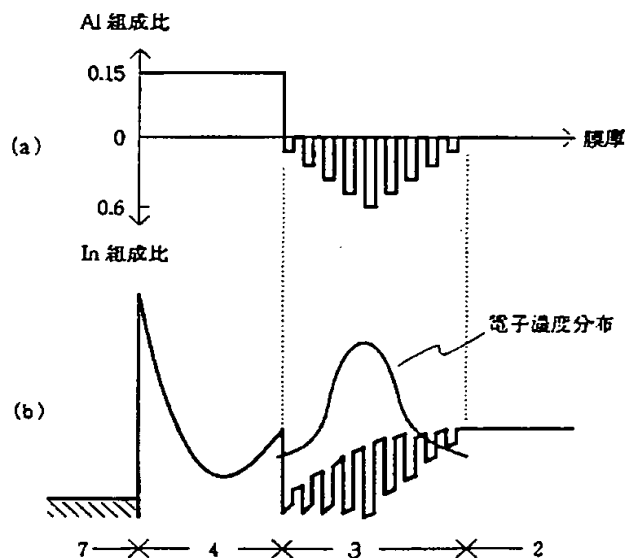
第3図



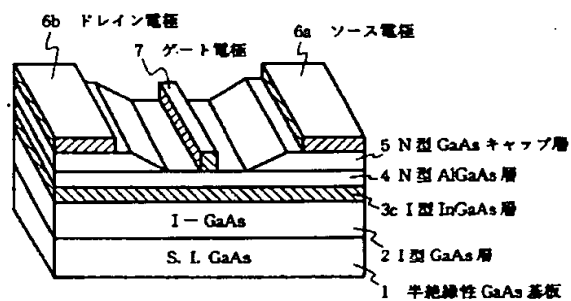
第4図



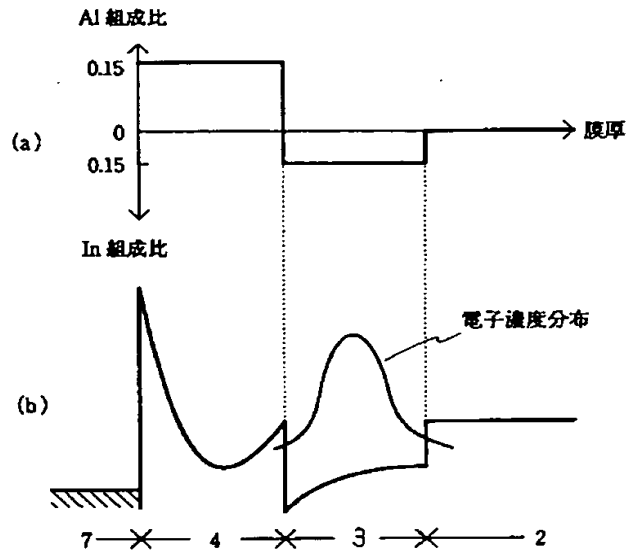
第5図



第6図



第7図



第 8 図